

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05021758 A

(43) Date of publication of application: 29 . 01 . 93

(51) Int. Cl

H01L 27/112
H01L 27/10

(21) Application number: 03198386

(22) Date of filing: 12 . 07 . 91

(71) Applicant: NEC CORP

(72) Inventor: KOYAMA MASASHI

(54) READ ONLY SEMICONDUCTOR STORAGE
DEVICE AND MANUFACTURE THEREOF

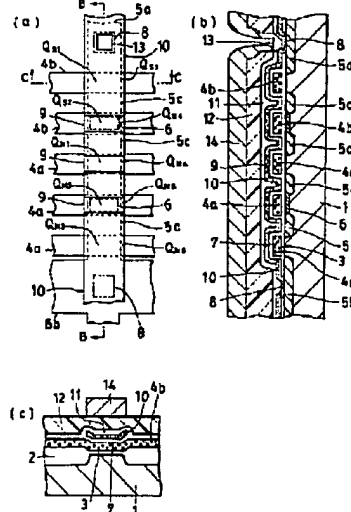
(57) Abstract:

PURPOSE: To reduce the cell area and enhance the integration by a structure wherein there are connected in series a plurality of transistor cells which are provided with two channel regions in the upper and lower parts of one gate electrode, and with the upper and lower source and drain regions which are independent of each other and with the channel region between them, respectively.

CONSTITUTION: The channels for a memory cell transistor and a selector transistor are arranged above and below one gate electrode. In other words, a lower transistor group (Q_{s1} , Q_{s2} , Q_{M1} - Q_{M3}) comprising gate electrodes 4a and 4b, and impurity diffusion layers 5a-5c constituting a lower source and drain region placed beneath the electrodes, and an upper transistor group (Q_{s3} , Q_{s4} , Q_{M4} - Q_{M6}) comprising gate electrodes 4a and 4b, and semiconductor thin films 9 and 10 placed above the electrodes are formed by superposition. Then, in each of the transistor groups, the transistors are connected in series to constitute a transistor block thereby to reduce the cell area to a 50% of the

conventional cell area.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21758

(43) 公開日 平成5年(1993)1月29日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/112				
27/10	4 7 1	8728-4M		
		8831-4M	H 0 1 L 27/10	4 3 3

審査請求 未請求 請求項の数8(全7頁)

(21) 出願番号 特願平3-198386
(22) 出願日 平成3年(1991)7月12日

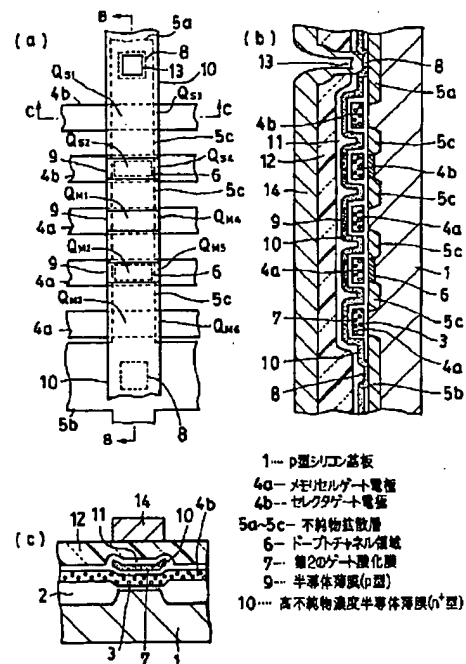
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 小山 昌司
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 読み出し専用半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 ROMのセル面積の縮小。

【構成】 p型シリコン基板1上にゲート酸化膜3を介してメモリセルゲート電極4a、セレクトゲート電極4bを形成し、基板表面に、ソース、ドレイン領域となる不純物拡散層5a~5cを形成する。ディプリーション化すべきトランジスタのチャネル領域はドーフトチャネル領域6になされる。ゲート電極4a、4b上には、ゲート酸化膜7を介してp型の半導体薄膜9が形成され、半導体薄膜9のソース・ドレイン領域となる領域とディプリーション型チャネルとなる領域とは、n型不純物がドーブされて高不純物濃度半導体薄膜10になされる。よって、基板表面にはセレクトトランジスタQ_{s1}、Q_{s2}とメモリトランジスタQ_{m1}~Q_{m3}が、基板上にはセレクトトランジスタQ_{s3}、Q_{s4}とメモリトランジスタQ_{m4}~Q_{m6}がそれぞれ直列接続されて配置されている。



1

【特許請求の範囲】

【請求項1】 一つのゲート電極を共通にしてその上下にチャンネル領域とソース・ドレイン領域とが独立に形成されているトランジスタセルを、上側のソース・ドレイン領域同士、下側のソース・ドレイン領域同士をそれぞれ接続する態様にて、複数個直列に接続して構成したトランジスタブロックを有する読み出し専用半導体記憶装置。

【請求項2】 一つのゲート電極を共通にしてその上下にチャンネル領域とソース・ドレイン領域とが独立に形成されているトランジスタセルを、上側のソース・ドレイン領域同士、下側のソース・ドレイン領域同士をそれぞれ接続する態様にて、複数個直列に接続して構成したトランジスタブロックを複数段重ねた積層トランジスタブロックを有する読み出し専用半導体記憶装置。

【請求項3】 請求項1記載のトランジスタブロックまたは請求項2記載の積層トランジスタブロックを行列状に配置し、複数のトランジスタブロックのゲート電極を行方向に接続してワード線とし、複数のトランジスタブロックの最初のドレイン領域を列方向に接続してビット線とし、かつ、複数のトランジスタブロックの最終のソース領域を共通に接続した読み出し専用半導体記憶装置。

【請求項4】 前記ワード線は、複数の選択ワード線と複数のメモリトランジスタワード線とから構成されている請求項3記載の読み出し専用半導体記憶装置。

【請求項5】 前記トランジスタブロックの少なくとも上側のチャンネル領域とソース・ドレイン領域とは半導体薄膜によって構成されている請求項1、2、3または4記載の読み出し専用半導体記憶装置。

【請求項6】 前記トランジスタブロックの少なくとも上側のチャンネル領域とソース・ドレイン領域とは半導体薄膜によって構成され、かつソース・ドレイン領域を構成する半導体薄膜はその表面を高融点金属シリサイドによって被覆されている請求項1、2、3または4記載の読み出し専用半導体記憶装置。

【請求項7】 半導体基板上に第1のゲート絶縁膜を介して複数のゲート電極を並行に形成する工程と、

半導体基板の表面領域内に不純物を導入して、トランジスタが直列接続された態様にソース・ドレイン領域を形成する工程と、

前記複数のゲート電極上に第2のゲート絶縁膜を介して半導体薄膜を形成する工程と、

前記半導体薄膜および前記ゲート電極とを介して前記半導体基板の表面領域内に不純物を導入して、ゲート電極下のチャンネル領域のチャンネルドーピングを行う工程と、

を具備する読み出し専用半導体記憶装置の製造方法。

【請求項8】 半導体基板上に第1のゲート絶縁膜を介して複数のゲート電極を並行に形成する工程と、

半導体基板の表面領域内に不純物を導入して、トランジ

2

スタが直列接続された態様にソース・ドレイン領域を形成する工程と、

前記複数のゲート電極上に第2のゲート絶縁膜を介して半導体薄膜を形成する工程と、

前記半導体薄膜に選択的に不純物を導入してトランジスタが直列に接続された態様にソース・ドレイン領域を形成するとともに選択されたトランジスタのチャンネル領域をディプリーション化する工程と、

を具備する読み出し専用半導体記憶装置の製造方法。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、読み出し専用半導体記憶装置およびその製造方法に関し、特にマスクROMのうちNAND型と称される種類の読み出し専用半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】 近年、読み出し専用メモリの集積度は8Mビット～16Mビットと高くなってきている。そこで、高集積化に有利な直列に接続された通称「縦積みセル」あるいは「NAND型セル」と呼ばれるメモリが注目されている。

【0003】 図6の(a)はこの種従来の半導体記憶装置の平面図であり、(b)、(c)はそれぞれそのB-B線、C-C線断面図である。同図において、1は表面の不純物濃度が $4 \times 10^{16} \text{ cm}^{-3}$ 程度になされたp型シリコン基板、2はp型シリコン基板1の表面に6000Åの膜厚に形成された、素子領域を分離するためのフィールド絶縁膜、3aはフィールド絶縁膜2に囲まれてシリコン基板1の表面に形成された、膜厚約250Åのゲート酸化膜、4a、4bは、それぞれ膜厚3000Åの多結晶シリコン膜からなるメモリセルゲート電極とセレクトゲート電極、5aはセルドレイン領域となる不純物拡散層、5bはセルソース領域となる不純物拡散層、5cはソース・ドレイン領域を構成するとともに直列に配置されたトランジスタを接続する不純物拡散層、6は基板と反対導電型の不純物が $1 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングされたドーピングチャンネル領域、12cは層間絶縁膜を構成する膜厚8000ÅのBPSG膜、13aはBPSG膜12cに形成されたコンタクト孔、14bはビット線を構成する膜厚10000ÅのAlからなる金属配線である。

【0004】 図6の(a)に示されるように同図内は、4個のセレクトトランジスタ $Q_{s1} \sim Q_{s4}$ と、6個のメモリセルトランジスタが形成されている。図7は、図6のトランジスタ群の等価回路図である。図7において、 X_{s1} 、 X_{s2} はセレクトトランジスタのゲート電極に接続されたブロックセレクト用ワード線、 $X_1 \sim X_3$ はメモリセルトランジスタのゲート電極に接続されたワード線、Yはビット線、Sはソース線である。メモリアレイは、 $Q_{s1} \sim Q_{s4}$ 、 $Q_{m1} \sim Q_{m6}$ からなるトランジスタブロック

3

を行列状に複数個並べて構成される。

【0005】次に、図6、図7に示された従来例により構成されたメモリアレイの動作について説明する。メモリセルトランジスタについては情報“0”または“1”を記憶させるために、またセレクトトランジスタについてはトランジスタブロックを選択させるために、製造工程中にエンハンスメント型かディプリーション型かに書き込み（コーディング）が行われる。書き込みは、通常ではエンハンスメント型であるトランジスタを、そのチャネル領域に不純物をドーピングしてディプリーション型化することによっておこなう。図6、図7の例においては、ドーピングチャネル領域6を有するセレクトトランジスタ Q_{s1} 、 Q_{s4} とメモリセルトランジスタ Q_{r1} 、 Q_{r5} がディプリーション型になされている。

【0006】ブロックセレクト用ワード線 X_{s1} 、 X_{s2} が共に低電位（例えば、0V）であるとき、そのブロックはセレクトトランジスタ Q_{s1} と Q_{s2} によってディジット線より切り離される。アレイ内の1ブロックのみを選択する場合、セレクト用ワード線のうち X_{s1} か X_{s2} のいずれかが高電位（例えば、5V）になされる。 X_{s1} が高電位であるときメモリセルトランジスタ Q_{r1} 、 Q_{r2} 、 Q_{r3} のブロックが選択され、 X_{s2} が高電位であるときメモリセルトランジスタ Q_{r4} 、 Q_{r5} 、 Q_{r6} のブロックが選択される。

【0007】読み出し時には、ワード線 $X_1 \sim X_3$ は一本のみが低電位に、他は高電位に保たれる。このとき低電位のワード線につながっているメモリセルトランジスタがエンハンスメント型であればこのチャネルは“OFF”でありディジット線から電流が流れない。逆に、メモリセルトランジスタがディプリーション型であればチャネルは“ON”しディジット線より接地されたソース線に電流が流れる。この電流の有無を情報“1”および“0”に対応づけて情報の読み出しを行う。

【0008】

【発明が解決しようとする課題】上述した従来のセル構造の読み出し専用記憶装置では、メモリセルトランジスタおよびセレクトトランジスタが平面的に配置されているため、セル面積が大きく集積度を高くすることが困難であるという欠点があった。

【0009】

【課題を解決するための手段】本発明の読み出し専用半導体記憶装置は、一つのゲート電極の上部と下部に2つのチャネル領域を有し、前記チャネル領域を挟みそれぞれ独立した上下のソース・ドレイン領域を有するトランジスタセルを複数個直列に接続した構造を有する。

【0010】また、その製造方法は、半導体基板上に第1のゲート絶縁膜を介して複数のゲート電極を形成する工程と、半導体基板の表面領域内に不純物を導入して直列に接続されたソース・ドレイン領域を形成する工程と、前記複数のゲート電極上に第2のゲート絶縁膜を介

4

して半導体薄膜を形成する工程と、前記半導体薄膜および前記ゲート電極を通して前記半導体基板の表面領域に不純物を導入するチャネルドーピング工程と、を有している。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1の(a)は、本発明の第1の実施例を示す平面図である。図1の(b)、(c)は、それぞれ図1の(a)のB-B線、C-C線の断面図である。

【0012】同図において、1は表面に不純物が $4 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度にドーピングされているp型シリコン基板、2は膜厚6000Åのフィールド絶縁膜、3は膜厚250Åの第1のゲート酸化膜、4a、4bはそれぞれ膜厚3000Åの多結晶シリコンからなるメモリセルゲート電極とセレクトゲート電極、5aは直列トランジスタブロックのドレイン領域となる不純物拡散層、5bはそのソース領域となる不純物拡散層、5cはソース・ドレイン領域を構成するとともに直列に配置されたトランジスタの接続領域となる不純物拡散層である。これら不純物拡散層は例えば、基板にAsを $5 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度に導入して形成される。6は基板と反対導電型の不純物が $1 \times 10^{17} \text{ cm}^{-3}$ 程度にドーピングされたドーピングチャネル領域である。

【0013】7は高温気相成長法により形成された膜厚300Åの第2のゲート酸化膜、8はこのゲート酸化膜7に開孔されたコンタクト孔、9はアモルファスシリコンを膜厚500Åに成長させ、その後Bを濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度にドーピングして形成した半導体薄膜、10はこの半導体薄膜に選択的にAs等の不純物を導入して形成した、ソース・ドレイン領域およびディプリーション型のチャネル領域を構成する高不純物濃度半導体薄膜であり、この高不純物濃度半導体薄膜10は前述のコンタクト孔8を介して不純物拡散層5a、5bと接続されている。

【0014】11は、気相成長法により形成された膜厚2000Åの SiO_2 膜、12は、膜厚6000ÅのBPSG膜であって、この2層膜により層間膜が構成されている。なお、この下層の SiO_2 膜11はBPSG膜からの不純物拡散を防止するために設けられた膜である。13は層間絶縁膜(11、12)に形成されたコンタクト孔、14は膜厚9000ÅのAlからなる金属配線である。この金属配線14はコンタクト孔13を介して、高不純物濃度半導体薄膜10と接触するビット線である。

【0015】この実施例の特徴はメモリセルトランジスタおよびセレクトトランジスタのチャネルが一つのゲート電極の上下に構成されていることである。すなわち、ゲート電極4aおよび4bと、その下の下部のソース・ドレイン領域を構成する不純物拡散層5a～5cとをその構成要素とする下部トランジスタ群(Q_{s1} 、 Q_{s2} 、 Q_{s3})

5

$Q_{11} \sim Q_{15}$)とゲート電極4a、4bと、その上の半導体薄膜9、10とをその構成要素とする上部トランジスタ群(Q_{11} 、 Q_{14} 、 $Q_{15} \sim Q_{16}$)とが重なって形成され、各トランジスタ群において、トランジスタが直列に接続されて、図6に示す従来例と同様のトランジスタブロックを構成している。そのため、セル面積は従来例の50%になり、大幅なセル面積の縮小化が実現されている。本実施例の等価回路は第7図に示すものと同一であり、動作および駆動方法も従来例と同様である。

【0016】本実施例では上層のトランジスタ群に対するチャネルドーピングをソース・ドレイン領域への不純物導入と同時に進めているため、ディプリーション型とすべきトランジスタ Q_{11} 、 Q_{15} のチャネル領域は、高不純物濃度半導体薄膜10により構成されている。

【0017】図2の(a)～(c)は、本実施例の製造方法のうち、特に情報を半導体装置内に書き込む製造工程、すなわちコーディング工程について示した工程毎の断面図である。最近のROMのコーディング工程について重要なことは、いかにコーディング工程を半導体装置製造工程のうち後方で行うことができるかである。これはコーディングから製造完了までの工期短縮の要請のためである。この要請に応えるため、本実施例では次のようにコーディングを実施する。

【0018】図2の(a)は半導体薄膜9を気相成長法により成長させ、Bをイオン注入し800℃で熱処理した後の工程断面図である。この時点では、コーディングは行われておらず、半導体薄膜9の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ (p型)である。

【0019】この後、ユーザからのコードを受注し、それに基づいて2種のコードパターンを作成する。これを用いて、第1のコード用の厚さ1.5 μm フォトレジストマスク15を形成する。次に、例えばPを、加速エネルギー500keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。この結果、マスク15の開孔部下にドーブトチャネル領域6が形成される。このとき、高注入エネルギーの注入不純物は、上部の半導体薄膜9を透過してしまうので、この半導体薄膜に不純物濃度の変動は起きない【図2の(b)】。

【0020】次に、このフォトレジストマスク15を剥離し、第2のコード用のフォトレジストマスク16を形成する。この後、例えばAsを加速エネルギー30keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。この結果、フォトレジストマスク16の開孔部の半導体薄膜9は高不純物濃度半導体薄膜10に変換される。レジストマスク下の半導体薄膜の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ のままであり、この部分はエンハンスメント型トランジスタのチャネル領域となる【図2の(c)】。

【0021】これ以降は、 SiO_2 膜11、BPSG膜12の順に形成し、コンタクト孔13を開孔した後、金属配線14を形成し本実施例の製造を完了する。すなわ

6

ち、本実施例では、コーディング工程から装置完成まで、4マスク工程しか必要とせず短期間で製品の出荷が可能となる。

【0022】図3の(a)～(d)は、本発明の第2の実施例をコーディング工程での製造方法に従って工程毎に示した断面図である。図3の(b)までは第1の実施例と同様にして製造する。フォトレジストマスク15を剥離した後、気相成長法により膜厚2000Åの SiO_2 膜17を成長させる。その後第2のコード用のフォトレジストマスク16を形成し、 SiO_2 膜17を選択的にエッチングする【図3の(c)】。

【0023】続いて、不純物を先の実施例と同様にイオン注入しフォトレジストマスク16を剥離する。次に、例えばTi等の高融点金属を膜厚1000Åにスパッタし、800℃程度の熱処理を行い半導体薄膜(アモルファスシリコン膜)と直接接触しているTiをシリサイド化してシリサイド膜18を形成する。この後に、例えば NH_4OH と H_2O_2 の混合液中に浸漬して SiO_2 膜17上のTiを除去する【図3の(d)】。

【0024】この後、例えば膜厚8000ÅのBPSG膜を形成し、熱処理工程、コンタクト孔開孔工程、金属配線形成工程を経て、第2の実施例による半導体記憶装置が完成する。本実施例では、半導体薄膜9からなるチャネル領域上を、コーディング工程において既に SiO_2 膜で覆っているため、層間絶縁膜を先の実施例の場合のように多層膜にする必要がない。本実施例の特徴は、上層のトランジスタ群のソース・ドレイン領域が高不純物濃度半導体薄膜のシリサイド化により低抵抗化されている点である。実験結果によれば、薄膜エンハンスメント型トランジスタは半導体層を薄膜化するにつれて g_m が大きくなることが明らかにされているが、半導体層の薄膜化は一般的にはソース・ドレイン領域の寄生抵抗が増大するためオン電流の低下を招く。しかし本実施例によれば、半導体薄膜9、10を薄膜化して、 g_m の大きなエンハンスメント型トランジスタを作成してもソース・ドレイン領域の寄生抵抗問題が起こることはないので、大きなオン電流を実現することができる。

【0025】図4は本発明の第3の実施例を示す断面図である。本実施例では、第2のゲート酸化膜7上にBがドーブされたアモルファスシリコン膜を形成する段階までは、第1、第2の実施例と同様であるのでその説明は省略する。図4において、9aはレーザアニールによりアモルファス状態から単結晶状態への転換がなされた、不純物濃度が $2 \times 10^{16} \text{ cm}^{-3}$ の第1の半導体薄膜、10aは第1の半導体薄膜9aにPを $5 \times 10^{14} \text{ cm}^{-2}$ 、Asを $5 \times 10^{15} \text{ cm}^{-2}$ 注入し、その後熱処理を加えて形成したソース・ドレイン領域を構成する第1の高不純物濃度半導体薄膜、10bは第1の半導体薄膜9bにP等のn型不純物を $1 \times 10^{16} \text{ cm}^{-3}$ 程度ドーブして形成したディプリーション型チャネルを構成する第1のドーブトチャ

ネル半導体薄膜である。

【0026】11aは低温気相成長法により形成した膜厚1000ÅのSiO₂膜、12aは膜厚6000ÅのBPSG膜、11bは低温気相成長法による膜厚1000ÅのSiO₂膜であって、SiO₂膜11a、BPSG膜12a、SiO₂膜11bにより第1の層間絶縁膜が形成されている。

【0027】9bは第1の半導体薄膜9aと同様に形成された第2の半導体薄膜、10cは第1の高不純物濃度半導体薄膜10と同様に形成された第2の高不純物濃度半導体薄膜、10dは第2の半導体薄膜9bにPを5×10¹⁸cm⁻³程度にドーピングした第2のドーブトチャネル半導体薄膜、19は第2の半導体薄膜の表面を酸化して形成した膜厚300Åの第3のゲート酸化膜、20a、20bは、それぞれ1000ÅのWSiと2000Åの多結晶シリコンとの積層構造からなる第2のメモリセルゲート電極と第2のセクタゲート電極、21は高温気相成長法により形成された膜厚300Åの第4のゲート酸化膜、9cは第1の半導体薄膜9aと同様に形成された第3の半導体薄膜、10eは第3の半導体薄膜9cにAsを1×10²¹cm⁻³にドーピングした第3の高不純物濃度半導体薄膜、11cは膜厚1000Åの低温気相成長法によるSiO₂膜、22は膜厚200Åの気相成長法によるシリコン窒化膜、12bは膜厚4000ÅのBPSG膜であって、SiO₂膜11c、シリコン窒化膜22、BPSG膜12bより第2の層間絶縁膜が構成されている。

【0028】また、14aは、ビット線を構成する、A1からなる金属配線である。ここで、第2の高不純物濃度半導体薄膜10cは、第1の層間絶縁膜に開孔されたコンタクト孔を介して第1の高不純物濃度半導体薄膜10aに接続され、第3の高不純物濃度半導体薄膜10eは、第3、第4のゲート酸化膜19、21に開孔されたコンタクト孔を介して第2の高不純物濃度半導体薄膜10cに接続され、また、金属配線14aは、第2の層間絶縁膜に形成されたコンタクト孔を介して第3の高不純物濃度半導体薄膜10eに接続されている。

【0029】本実施例の特徴は、先の実施例の層間絶縁膜上に、第2、第3の半導体薄膜、第2のゲート電極、第3、第4のゲート酸化膜、第2、第3の高不純物濃度半導体薄膜を形成して、下層の積層トランジスタブロックに、薄膜トランジスタの直列接続体を積層した積層トランジスタブロックを積み重ね、両ブロックを並列に接続した点である。よって、本実施例の等価回路は図5に示したものとなる。図5において、Q₅₁～Q₅₂はメモリセルトランジスタ、Q₃₁～Q₃₂はセクタトランジスタ、X₁～X₃およびZ₁～Z₃はワード線、X₅₁、X₅₂、Z₅₁、Z₅₂はセレクト用ワード線である。図5に示されるように、この等価回路は図7の等価回路のトランジスタブロックをビット線に並列に2個接続したもので

あるので、本実施例は、回路的には従来例および第1の実施例と同様の駆動方法で使用できる。

【0030】本実施例は、基板上に構成された積層トランジスタブロックに薄膜トランジスタの積層体ブロックを重ねたものである。なお、本実施例では、第2の層間絶縁膜内にシリコン窒化膜が形成されているが、これは外部から浸入する可動イオン等の汚染物質の透過を防ぎ薄膜トランジスタのしきい値の安定化を図るために設けられた膜である。この層間絶縁膜構造が、第1、第2の実施例にも有効であることは勿論である。

【0031】なお、上記各実施例ではメモリセルトランジスタは直列に3個しか接続されていないが、本発明においてはこの数は限定されるものでない。また、上記各実施例では、上下に配置されたトランジスタ列はすべて並列に接続されていたが、必ずしもそうにする必要はなく、それぞれのトランジスタ列を異なるビット線に接続してもよい。トランジスタ列がビット線を共有しない場合にはトランジスタ列内にセクタトランジスタを配置する必要はなくなる。

【0032】

【発明の効果】以上説明したように、本発明は、従来、平面的に配置していたメモリセルトランジスタやセクタトランジスタをゲート電極の上下に重ねて設けたものである。本発明によれば、セル面積を大幅に縮小させ集積度を飛躍的に高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の平面図と断面図。

【図2】本発明の第1の実施例のコーディング工程を説明するための工程断面図。

【図3】本発明の第2の実施例のコーディング工程を説明するための工程断面図。

【図4】本発明の第3の実施例の断面図。

【図5】本発明の第3の実施例の等価回路図。

【図6】従来例の平面図と断面図。

【図7】従来例の等価回路図。

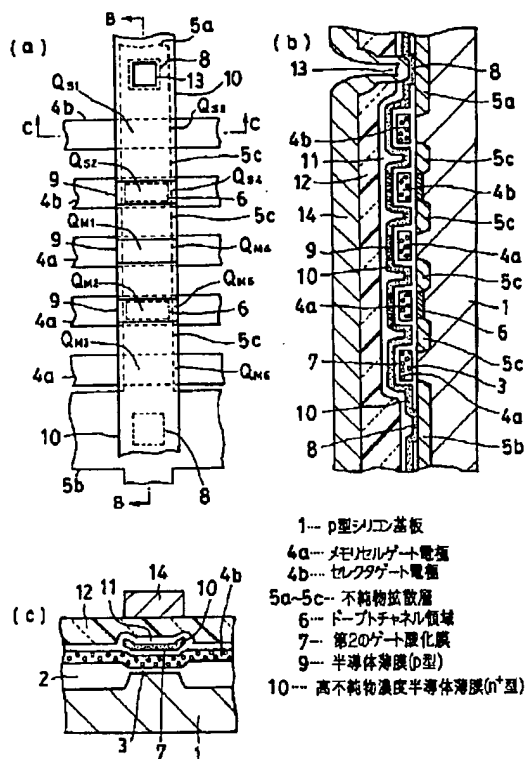
【符号の説明】

1…p型シリコン基板、 2…フィールド絶縁膜、
3…第1のゲート酸化膜、 3a…ゲート酸化膜、
4a…メモリセルゲート電極、 4b…セクタゲート電極、 5a～5c…不純物拡散層、 6…ドーブトチャネル領域、 7…第2のゲート酸化膜、
8…コンタクト孔、 9、9a～9c…半導体薄膜、 10、10a、10c、10e…高不純物濃度半導体薄膜、 10b、10d…ドーブトチャネル半導体薄膜、 11、11a～11c…SiO₂膜、
12、12a～12c…BPSG膜、 13、13a…コンタクト孔、 14、14a、14b…金属配線、 15、16…フォトレジストマスク、 17…SiO₂膜、 18…シリサイド膜、 19…第

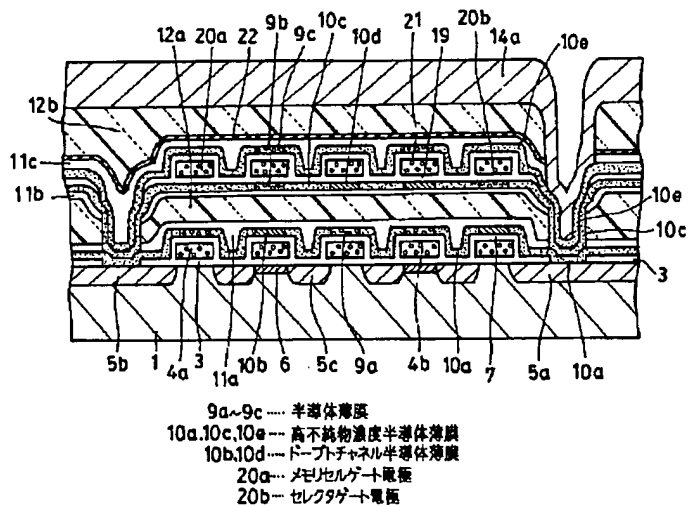
9

3のゲート酸化膜、 20a...メモリセルゲート電極、
20b...セレクトゲート電極、 21...第4

【図1】



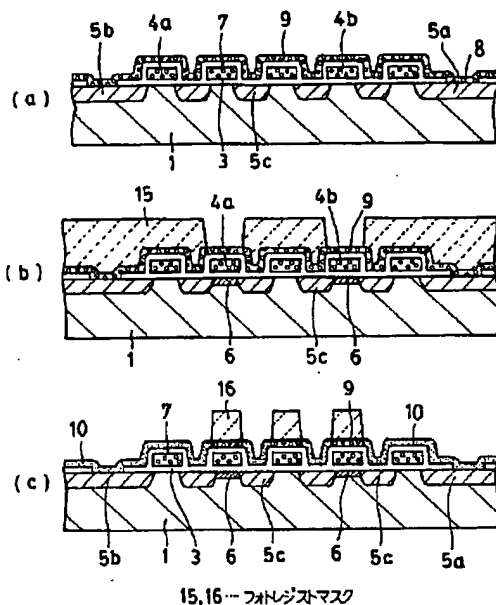
【図4】



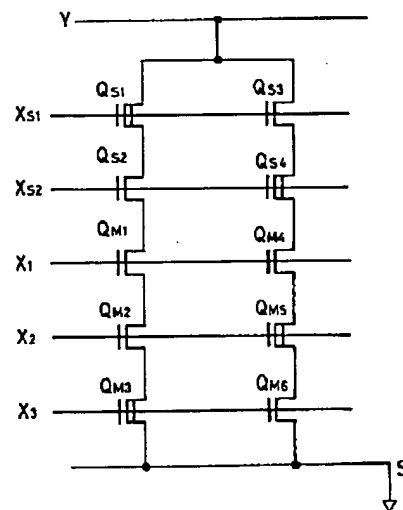
10

のゲート酸化膜、 22...シリコン窒化膜。

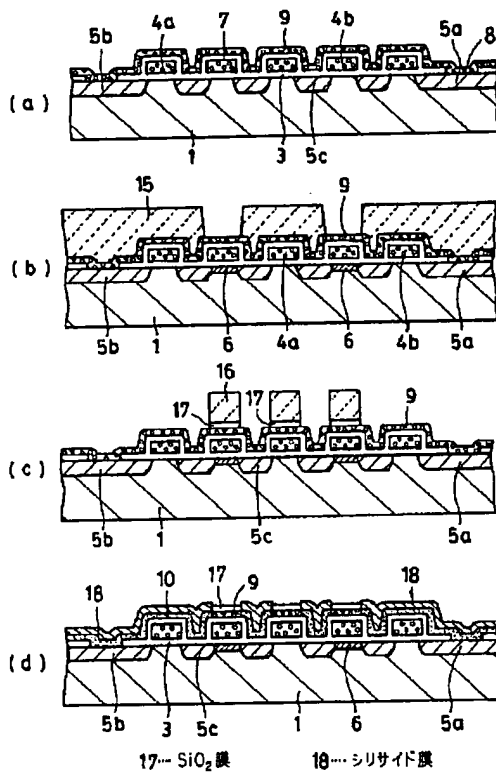
【図2】



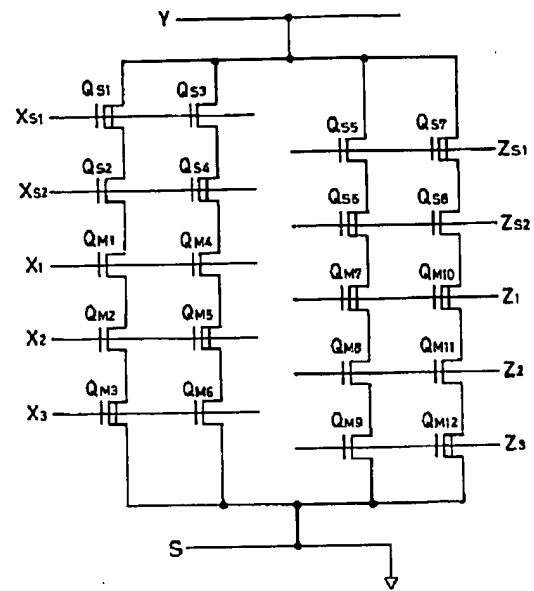
【図7】



【図3】



【図5】



【図6】

